

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-281304

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

G01R 31/28
H01L 21/66
H01L 21/82
H01L 27/04
H01L 27/06

(21)Application number : 04-074673

(71)Applicant : NEC CORP

(22)Date of filing : 30.03.1992

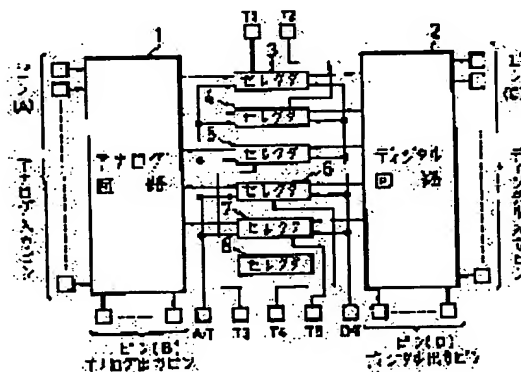
(72)Inventor : FUSE MAMORU

(54) MIXED ANALOG-DIGITAL MASTER WITH BUILT-IN TEST CIRCUIT

(57)Abstract:

PURPOSE: To easily test a mixed analog-digital master with a built-in test circuit in a Bi-CMOS mixed analog-digital LSI and, at the same time, to extremely reduce the program developing period for the test.

CONSTITUTION: An analog circuit 1 and digital circuit 2 are connected to each other through selectors 3 and 7. In addition, test terminals T3-T5 are also connected to the analog circuit 1 or digital circuit 2 through the selectors 3-7. Various kinds of connections in the selectors 3-7 are controlled by means of signals impressed upon test mode terminals A.T and D.T and switched to each other in corresponding to various kinds of test modes.



LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection] 25.07.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3180421

[Date of registration] 20.04.2001

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-281304

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
H 0 1 L 21/66	F	8406-4M		
21/82				
		6912-2G	G 0 1 R 31/ 28	V
		9169-4M	H 0 1 L 21/ 82	S

審査請求 未請求 請求項の数3(全 10 頁) 最終頁に続く

(21)出願番号 特願平4-74673

(22)出願日 平成4年(1992)3月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 布施 守

東京都港区芝5丁目7番1号 日本電気株式会社内

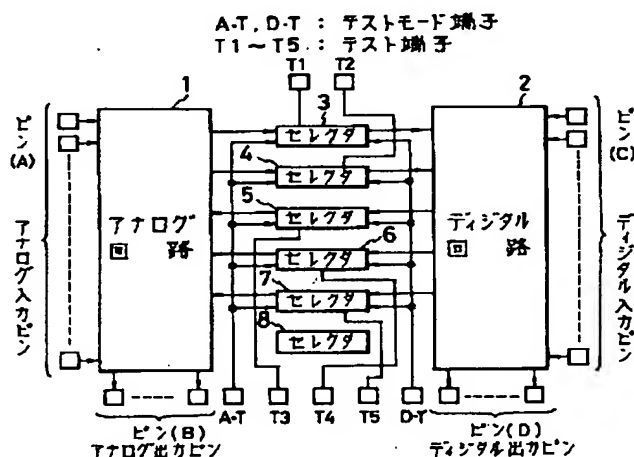
(74)代理人 弁理士 藤巻 正憲

(54)【発明の名称】 テスト回路を内蔵したアナログ・ディジタル混在マスタ

(57)【要約】

【目的】 Bi-CMOSアナログ・ディジタル混在LSIにおけるテスト回路を内蔵したアナログ・ディジタル混在マスタにおいて、テストが容易に行なえるようにし、かつそのテストのためのプログラム開発期間を著しく短縮する。

【構成】 アナログ回路1とディジタル回路2とは、セレクタ3～7を介して相互に接続される。またテスト端子T3～T5もセレクタ3～7を介してアナログ回路1又はディジタル回路2に接続される。セレクタ3～7における各種接続は、テストモード端子A・T及び端子D・Tに印加される信号によって制御され、各種テストモードに対応して切り換えられる。



1

【特許請求の範囲】

【請求項1】 バイポーラデバイスをアレイ状に配置したアナログ回路部と、CMOSゲートアレイからなるデジタル回路部とを有する半導体集積回路において、前記アナログ回路部と前記デジタル回路部との接続状態を切り換える複数のセレクト回路と、この複数のセレクト回路を制御する信号が印加されるテストモード切り換え端子とを有することを特徴とするテスト回路を内蔵したアナログ・デジタル混在マスタ。

【請求項2】 テスト専用に使われるレベルシフト回路と、前記アナログ回路部の入出力端子になりかつ前記レベルシフト回路の入力端子になる入出力ピンとを有することを特徴とする請求項1に記載のテスト回路を内蔵したアナログ・デジタル混在マスタ。

【請求項3】 前記セレクト回路は、3段リングカウンタと、この3段リングカウンタの出力によって切り換えられるスイッチ素子とを有することを特徴とする請求項1又は2に記載のテスト回路を内蔵したアナログ・デジタル混在マスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、テスト回路を内蔵したアナログ・デジタル混在マスタに関し、特にBi-CMOSアナログ・デジタル混在LSIにおけるテスト回路を内蔵した下地固定型のアナログ・デジタル混在マスタに関する。

【0002】

【従来の技術】 近年、アナログ・デジタル混在LSIは、Bi-CMOSプロセスの展開に伴って大規模かつ高精度のアナログ回路と大規模な論理回路とを同一チップ上に集積化することが可能となってきた。これに伴ってアナログ・デジタル混在LSIにおけるアナログ回路部に対しては、高速化、低雑音化及び低消費電力化が要求され、A/D、D/Aコンバータやフィルター等を取り込んで大規模化してきている。一方、デジタル回路部については、大規模化及び高速化が急速に進んでいる。アナログ・デジタル混在LSIを開発する方式として、従来はアナログ回路を手設計しデジタル回路をスタンダードセル方式で設計して両方を同一チップ上に集積化する方法が広く採用されてきた。しかし、この方法では、設計にはバリエーションがあるものの開発期間が長くなり開発費用が高くなることは避けられない。

【0003】 上記、従来のアナログ・デジタル混在LSIの欠点を補う開発方法としては、下地固定型のアナログ・デジタル混在マスタ方式がある。この方式は、トランジスタ、抵抗及び容量等の素子をアレイ状に配置したアナログマスタとG/Aとを同一チップ上に構成したものであり、開発期間及び開発費用とも大幅に削減することができる。また、開発期間の短縮に伴って、回路動作に不具合が発生したときの原因解析が重要となって

2

きており、回路の複雑化に伴って素子に不具合があったときにこのチップを除去するためのテスト方法が一層重要なものとなってきている。

【0004】 従来、小規模アナログ・デジタル混在LSIにおいては、アナログ部とデジタル部を明確に分離せずにテストをしている。即ち、設計者は、アナログ信号とデジタル信号とを夫々アナログ回路とデジタル回路とに入力し手計算又はシミュレーションによってアナログ回路からの出力値及びデジタル回路からの出力パターンを求めている。

【0005】

【発明が解決しようとする課題】 しかしながら、上述した従来のアナログ・デジタル混在LSIのテスト方法では、そのテスト方法のためのテストプログラムを作成するには、アナログ回路部及びデジタル回路部全体に渡った詳細な理解が必要であり、またテストプログラムも複雑化するという問題点がある。通常、大規模アナログ・デジタル混在LSIの開発においては、アナログ部の設計とデジタル部の設計とを夫々別の設計者が分担して行なうのが通例であり、全体の動作を詳細に理解してテストプログラムを組むのは開発体制の上からも困難である。

【0006】 また、テストプログラムが複雑化するに伴いそのテストプログラムのデバックを完全に行なうことが困難となり、テストプログラムを安定化するのに長期間を要するようになってきている。従って、上述した従来のアナログ・デジタル混在LSIのテスト方法は、開発期間を最優先とするような下地固定型アナログ・デジタル混在マスタに対しては不向きといえる。

【0007】 更に、上述した従来のアナログ・デジタル混在LSIのテスト方法では、回路動作に不具合が発生した際、アナログ回路部に問題があるのか、又はデジタル回路部に問題があるのかを判断することが容易でないという問題点もある。

【0008】 本発明はかかる問題点に鑑みてなされたものであって、Bi-CMOSアナログ・デジタル混在LSIにおけるテスト回路を内蔵した下地固定型のアナログ・デジタル混在マスタにおいて、テストを容易に行なうことができ、かつそのテストのためのプログラム開発期間を著しく短縮することができるアナログ・デジタル混在マスタを提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明に係るテスト回路を内蔵したアナログ・デジタル混在マスタは、バイポーラデバイスをアレイ状に配置したアナログ回路部と、CMOSゲートアレイからなるデジタル回路部とを有する半導体集積回路において、前記アナログ回路部と前記デジタル回路部との接続状態を切り換える複数のセレクト回路と、この複数のセレクト回路を制御する信号が印加されるテストモード切り換え端子とを有すること

を特徴とする。

【0010】

【作用】本発明に係るテスト回路を内蔵したアナログ・デジタル混在マスタにおいては、Bi-CMOSアナログ・デジタル混在LSIにおいて、セクタ回路は、アナログ回路部とデジタル回路部とのインタフェースとして機能して、アナログ回路部からデジタル回路部に信号を送る、デジタル回路部からアナログ回路部に信号を送る、及びテスト端子からアナログ回路部又はデジタル回路部に信号を送るというような動作をし、この動作はテストモード切り換え端子に印加される信号によって制御される。これらにより、本発明に係るテスト回路を内蔵したアナログ・デジタル混在マスタは、テストモード切り換え端子に印加する信号に応じて、アナログ回路部及びデジタル回路部を夫々独立にテストすることができ、またアナログ回路部及びデジタル回路部の相互の接続状態をもテストすることができる。従って、本発明に係るテスト回路を内蔵したアナログ・デジタル混在マスタは、不具合が発生したときその不具合がアナログ回路部で発生したのかデジタル回路部で発生したのかを簡単に判断することができ、更に、アナログ回路部及びデジタル回路部に対して夫々独立してテストプログラムを作成することができる。

【0011】

【実施例】次に、本発明の実施例について添付の図面を参照して説明する。

【0012】図1は、本発明の第1の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタを示すブロック図である。図1に示すように本第1の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタは、バイポーラデバイスをアレイ状に配置したアナログ回路1と、CMOSゲートアレイからなるデジタル回路2と、セクタ3、4、5、6、7、8と、各*

*種の信号線とで構成されている。アナログ回路1とデジタル回路2とは、各種の信号線により直接接続されているのではなく、セクタ3、4、5、6、7、8（及びセクタの類似動作をする回路）を介して相互に接続されている。本実施例では上記各種の信号線は、IC外部からアナログ回路1への入力ピンであるピン(A)群、アナログ回路1からIC外部への出力ピンであるピン(B)群、IC外部からデジタル回路2への入力ピンであるピン(C)群、デジタル回路2からIC外部への出力ピンであるピン(D)群、アナログ回路1からデジタル回路2に伝達する内部信号配線（本実施例では2本と仮定している）、及びデジタル回路2からアナログ回路1に伝達する内部信号配線（本実施例では3本と仮定している）の6種類である。

【0013】また、セクタ3～7の切り換え用としてテストモード端子A・T及びD・Tを設けてある。セクタ3～8を構成する回路素子は、アナログ回路1及びデジタル回路2から独立して設けているので、回路設計者にとって設計上の制約にはならない。更に、テスト信号が入出力されるテスト端子T1、T2、T3、T4、T5が設けられている。

【0014】次に、上述の如く構成された本第1の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタの動作について説明する。図2は、本第1の実施例のテスト手順を示すフローチャートである。先ず、初期テストとして、オープン、ショート及びトランジスタ、抵抗等のデバイスチェックをする(S1)。次に、アナログ回路1のテストをする(S2)。最後にデジタル回路2のテストをする(S3)。

【0015】テストモード端子A・T及びD・Tに対する各モードの関係は、下記表1で表わされる。

【0016】

【表1】

	ノーマル モード	アナログ テストモード	デジタル テストモード
A・T	0	1	0
D・T	0	0	1

【0017】上記表1を参照して本第1の実施例の動作を詳細に説明する。最初にノーマルモードに設定されるが、このモードは、通常のIC動作モードであり、アナログ回路1からデジタル回路2へ、また逆にデジタル回路2からアナログ回路1へ信号が伝達される。このとき各テスト端子T1～T5には信号が伝達されず、このためテストピンからアナログ回路1への信号飛込みによる雑音特性等の特性が劣化することは生じない。次にアナログテストモードでは、アナログ回路1からの信号

をセクタ3、4を介してテスト端子T1、T2に出力し、テスト端子T3～T5からセクタ5～7を介してデジタル信号をアナログ回路1に入力する。従って、アナログ回路1をデジタル回路2から完全に切り離してテストすることができる。同様に、デジタルテストモードでは、テスト端子T1、T2から入力されたデジタル信号は、セクタ3、4を介してデジタル回路2に入力される。一方、デジタル回路2の出力は、セクタ5～7を介してテスト端子T3～T5に出力され

る。

【0018】図3は、図1に示す本第1の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタを更に詳細に示すブロック図である。図3において、3ステートバッファ33～37、1a～5a及び1b～5bは、図1におけるセクタ3～7に対応するものである。本第1の実施例では、アナログ回路1とデジタル回路2とのインタフェース信号は全てデジタル信号であると想定している。

【0019】先ず最初にノーマルモードでは、テストモード端子A・T、D・Tが共に“0”に設定され、3ステートバッファ33、34は共にONし、アナログ回路1からの信号がバッファ1段を介してデジタル回路2に伝達される。このとき、3ステートバッファ1a及び1bは共にハイインピーダンス（以下HZと記す）となり、テスト端子T1、T2にデジタル信号は出力されない。一方、3ステートバッファ35～37はONし、デジタル回路2からアナログ回路1へはバッファ1段を介して信号が伝達される。テスト端子T3～T5に出力端が接続されている3ステートバッファ3a、3b、3cは、テスト端子T1～T2に出力端が接続されている3ステートバッファと同様に、いずれもHZとなり、テスト端子T3～T5に信号は出力されない。従って、ノーマルモードでは、全てのテストピンにおいてインタフェース部の信号は出力されない。なお、3ステートバッファ1a～5a、1b～5bは、プルダウンされており電源が立ち上がると自動的にノーマルモードにセットされる。

【0020】次に、アナログ・テストモードでは、テストモード端子A・Tが“1”、テストモード端子D・Tが“0”に設定される。従って、3ステートバッファ33、34、1a、2aがONするため、アナログ回路1からの信号はテスト端子T1、T2に出力される。一方、3ステートバッファ35～37はHZ、3ステートバッファ3b、4b、5bはONとなるため、テスト端子T3～T5に印加された信号はバッファ1段を介してアナログ回路1に入力される。

【0021】最後にデジタル・テストモードでは、テストモード端子A・Tが“0”、テストモード端子D・Tが“1”に設定される。従って、3ステートバッファ33、34はHZ、3ステートバッファ1b、2bはONとなるため、テスト端子T1、T2に印加された信号はバッファ1段を介してデジタル回路2に入力される。一方、3ステートバッファ35～37及び3a、4a、5aはONするため、デジタル回路2から出力される信号はテスト端子T3～T5に出力される。

【0022】図4は、図3に示すテスト回路を内蔵したアナログ・デジタル混在マスタにおける、夫々のテストモードでの信号伝達経路を示す説明図である。アナログ・テストモードにおいてパスすれば（ア）の回路接続

が検証される。さらにデジタル・テストモードにおいてパスすれば（イ）の回路接続が検証される。従って、（ア）及び（イ）の結果より、アナログ回路1及びデジタル回路2の夫々のテストを単独に行えば夫々の部分のテストをすることができ、更に（ウ）の回路接続をテストすることにより、アナログ回路1とデジタル回路2との相互接続のテストとをすることができ、LSIチップ全体の動作を保障することができる。

【0023】図5は、本発明の第2の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタにおけるセクタ部分を示すブロック図である。動作については図3に示す第1の実施例におけるセクタ部分の動作と同様であるが、アナログ回路1からの出力をアナログ値でテストするため、双方向のアナログスイッチ50を用いている。ノーマルモード時には、ゲート2段を介してアナログ回路1からデジタル回路2へ信号が伝達される。また、デジタル回路2への入力は、デジタル信号に限定されるので、ゲートを介してテスト端子Tからデジタル信号を入力する。

【0024】図6は、本発明の第2の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタを示すブロック図である。図6に示すように、テスト端子T1～T6よりもアナログ回路1とデジタル回路2との接続本数の方が多く、デジタル回路2のテストをする場合は、アナログ回路1の入出力ピンをデジタル回路2のテストピンとして兼用する。

【0025】このとき、デジタル回路2をテストするには通常0V～5Vの信号を印加するが、この信号を図8に示す差動回路におけるトランジスタQ1及びQ2のベースに図8に示すように印加すると、トランジスタQ2のエミタ・ベース間は4.2V近くの逆バイアスとなりトランジスタQ2が破壊される恐れがある。従って、本第2の実施例では、アナログ回路1の入出力及びデジタル回路2をテストするためのテストピンを兼用しているピンA1、A2から入力された信号は、レベルシフター69、70によって1VP-Pから5VP-Pまでの信号に変換された後、セクタ67、68に入力される。

【0026】セクタ61～68は、テストモード端子A・T、D・Tによって制御されノーマルモードのときはアナログ回路1からの信号をデジタル回路2に伝達する。また、デジタル・テストモードのときは、ピンA1、A2から入力した小振幅信号をレベルシフター69、70によって5VP-Pまで変換した後にセクタ67、68を介してデジタル回路2に出力する。ピンA1、A2に印加される信号は、1VP-P程度の小振幅であるのでデバイスが破壊される恐れはなく、アナログ系ピンを広範囲にデジタル回路2のテスト端子として兼用することが可能となる。

【0027】従って、本発明の第2の実施例に係るテス

7

ト回路を内蔵したアナログ・デジタル混在マスタは、アナログ回路 1 とデジタル回路 2 との接続本数が多い場合において、アナログ回路 1 の端子をテスト端子として兼用することによって端子数の削減が可能である。なお、アナログ回路 1 をテストする場合においてデジタル回路 2 の入出力端子は、レベルシフター 69, 70 を通さずにセレクトに直接接続し本発明の第 1 の実施例と同様に実施できることはいうまでもない。

【0028】図 7 は、本発明の第 3 の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタを示す説明図である。図 7 に示す 3 段リングカウンタ 71 の真理値表は、下記表 2 で表わされる。

【0029】

【表 2】

Reset'	L	H	H	H
C 端子の立上がり回数	0	1	2	3
Q1	0	1	0	0
Q2	0	0	1	0
Q3	0	0	0	1

【0030】表 2 に示すように、端子 Reset' を “0” にして、3 段リングカウンタ 71 を構成するフリップフロップをリセットすると、3 段リングカウンタ 71 の出力は全て “0” になる。次に、コントロール端子 C から “0→1→0→1” のように順次信号を入力すると、波形の立上がりで 3 段リングカウンタ 71 を構成するフリップフロップの出力端 Q1, Q2, Q3 が順次 “1” となる。出力端 Q1, Q2, Q3 からの出力は夫々スイッチ SW1～SW3 のゲートが入力するので、3 段リングカウンタ 71 の出力端 Q1, Q2, Q3 が順次 “1” になるにつれてスイッチ SW1～SW3 が順次 ON する。従って、コントロール端子 C が “0→1→0→1” の信号を入力すると、波形の立上がり時に順次、ノーマルモード→アナログ（又はデジタル）テストモード→デジタル（又はアナログ）テストモード→ノーマルモードと、いうようにモードを切換えることができる。Reset' 端子は、デジタル回路 2 と共通の Reset' 端子を用いるか、又はパワーオンリセット回路を用いる。

【0031】これらにより、本第 3 の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタは、テストモード切り換え端子を 1 ピンで構成することが可能であり、ピン数削減に有効である。

【0032】

【発明の効果】以上説明したように本発明に係るテスト回路を内蔵したアナログ・デジタル混在マスタによ

8

ば、テスト回路をアナログ回路部とデジタル回路部とのインタフェース部分に下地として設けてあるので、テスト設計が容易であり、また回路に不具合が発生したときその不具合がアナログ回路部で発生したのかデジタル回路部で発生したのかを簡単に判断することができる。更に、アナログ回路部及びデジタル回路部に対して夫々独立してテストプログラムを作成することができるので、そのテストプログラムにおけるバグの発生を少なくすることができ、そのテストプログラムのデバッグが容易になるので、テストのためのプログラム開発期間を著しく短縮することができる。そして、本発明では、アナログ回路部及びデジタル回路部のテストプログラムを夫々分担して作成することができるので、アナログ技術及びデジタル技術のエキスパートが夫々独立にプログラムを作成することができ、極めて効率的である。また、G/A のシミュレーション出力をテストパターンに変換してデジタル回路部のテストが可能なので、ミスの少ないパターンを効率的に作成することができる。また、本発明の第 2 の実施例で説明したように、アナログ回路部とデジタル回路部との接続本数が多い場合において、アナログ回路部の端子をテスト端子として兼用することによって端子数の削減が可能である。なお、アナログ回路部をテストする場合においてデジタル回路部の入出力端子は、レベルシフト回路を通さずにセレクトに直接接続し本発明の第 1 の実施例と同様に実施できることはいうまでもない。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタを示すブロック図である。

【図 2】本第 1 の実施例のテスト手順を示すフローチャートである。

【図 3】図 1 に示す本第 1 の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタを更に詳細に示すブロック図である。

【図 4】図 3 に示すテスト回路を内蔵したアナログ・デジタル混在マスタにおける夫々のテストモードでの信号伝達経路を示す説明図である。

【図 5】本発明の第 2 の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタにおけるセレクト部分を示すブロック図である。

【図 6】本発明の第 2 の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタを示すブロック図である。

【図 7】本発明の第 3 の実施例に係るテスト回路を内蔵したアナログ・デジタル混在マスタを示す説明図である。

【図 8】従来のテスト回路を内蔵したアナログ・デジタル混在マスタにおける問題点を示すための差動回路を示す回路図である。

【符号の説明】

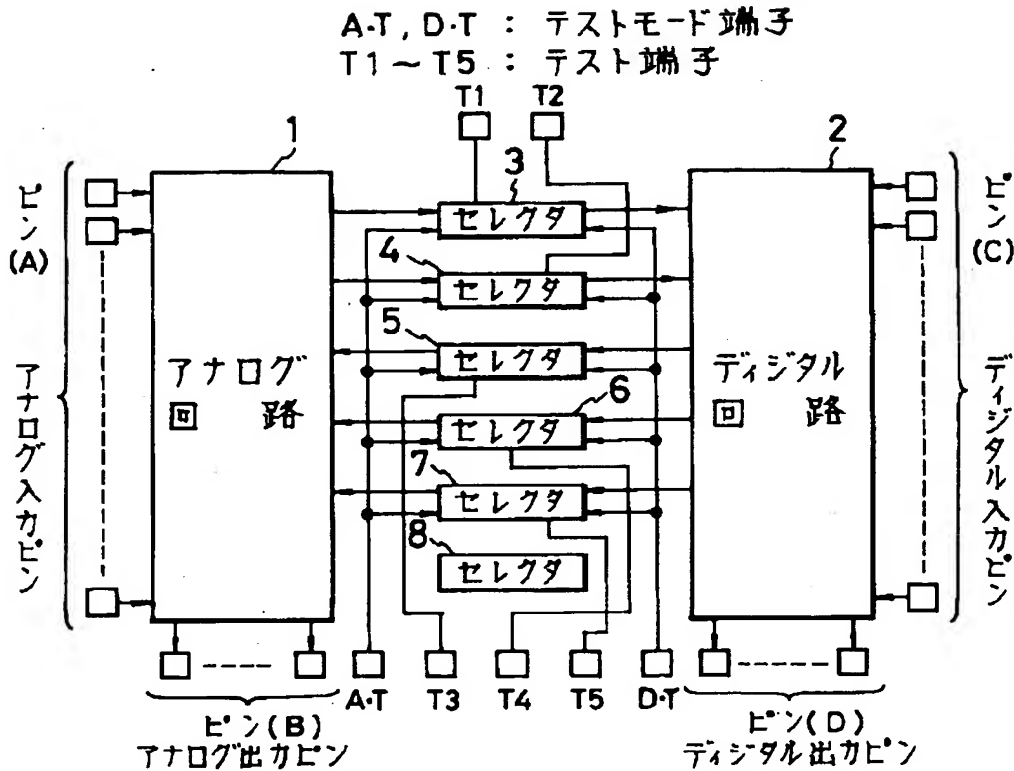
- 1 ; アナログ回路
2 ; デジタル回路

* 3, 4, 5, 6, 7 ; セレクタ

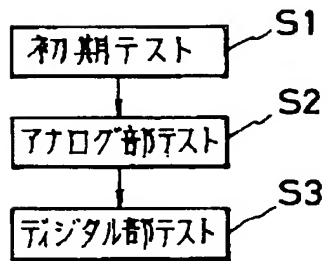
A・T, D・T ; テストモード端子

* T1, T2, T3, T4, T5 ; テスト端子

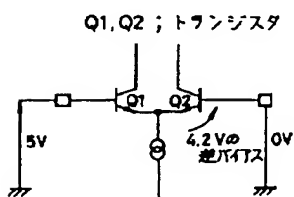
【図1】



【図2】

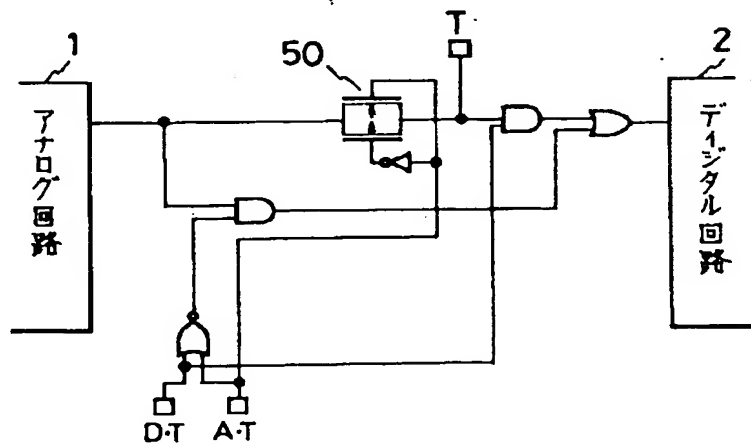


【図8】



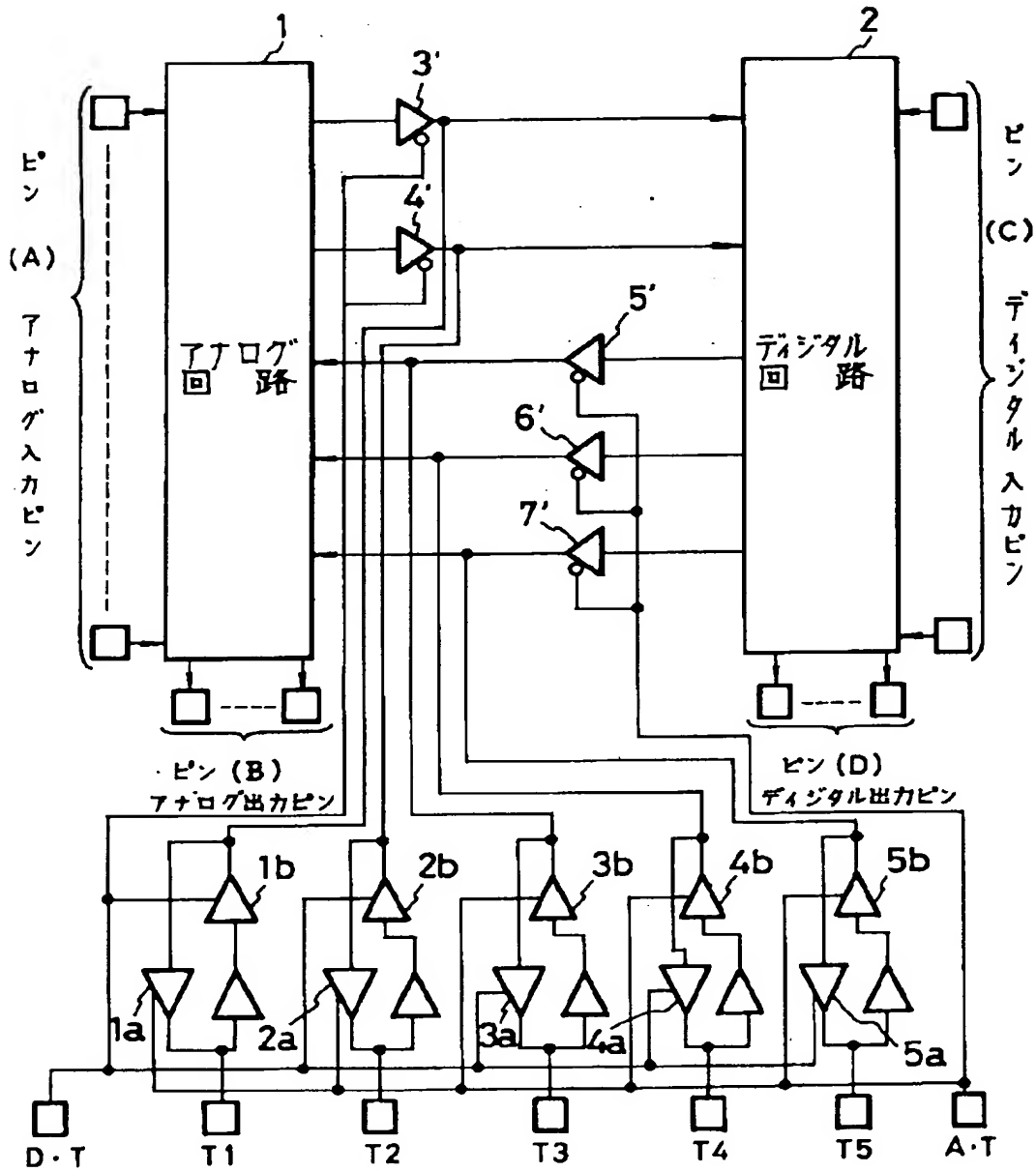
【図5】

50 ; アナログスイッチ
A・T, D・T ; テストモード端子
T ; テスト端子



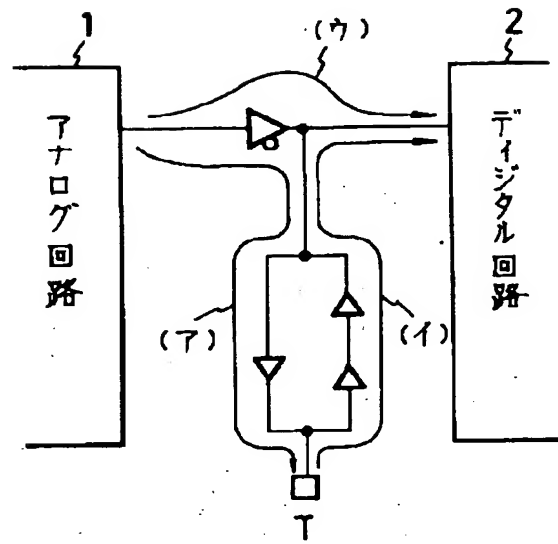
【図3】

3~7, 1a~5a, 1b~5b ; 3ステートバッファ
 A・T, D・T ; テストモード端子
 T1~T5 ; テスト端子



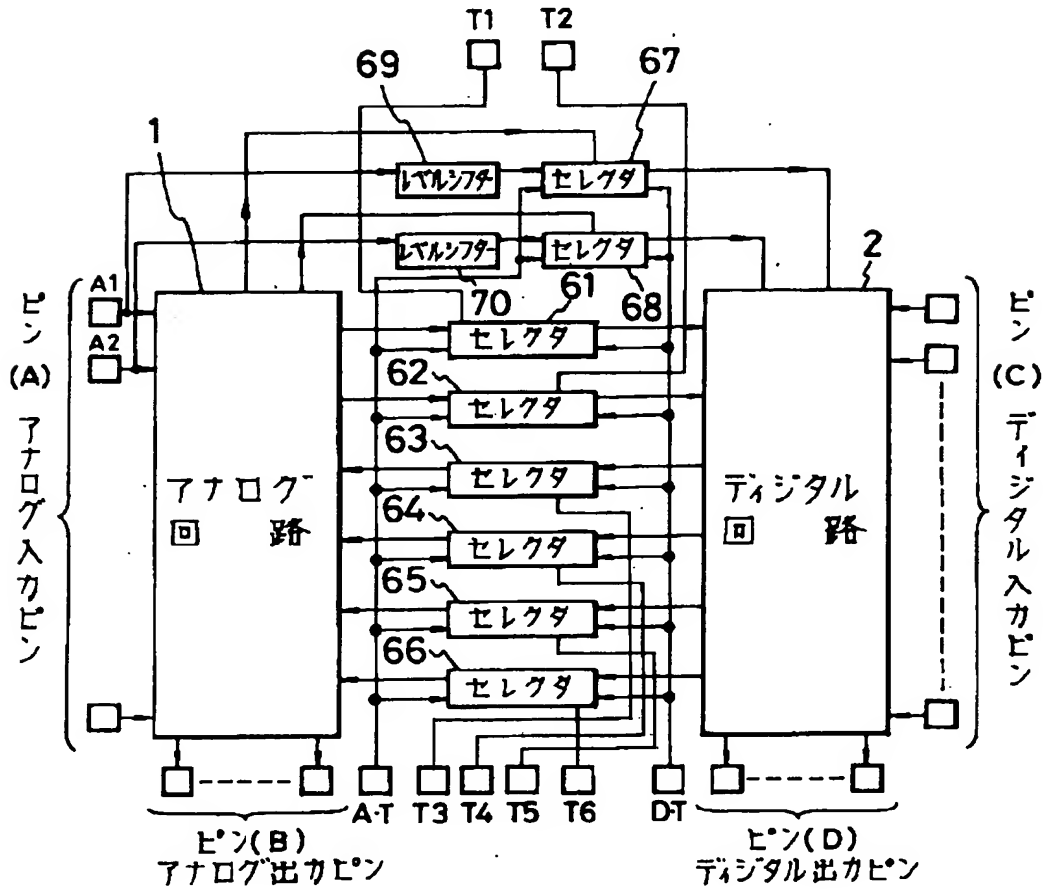
【図4】

T ; テスト端子



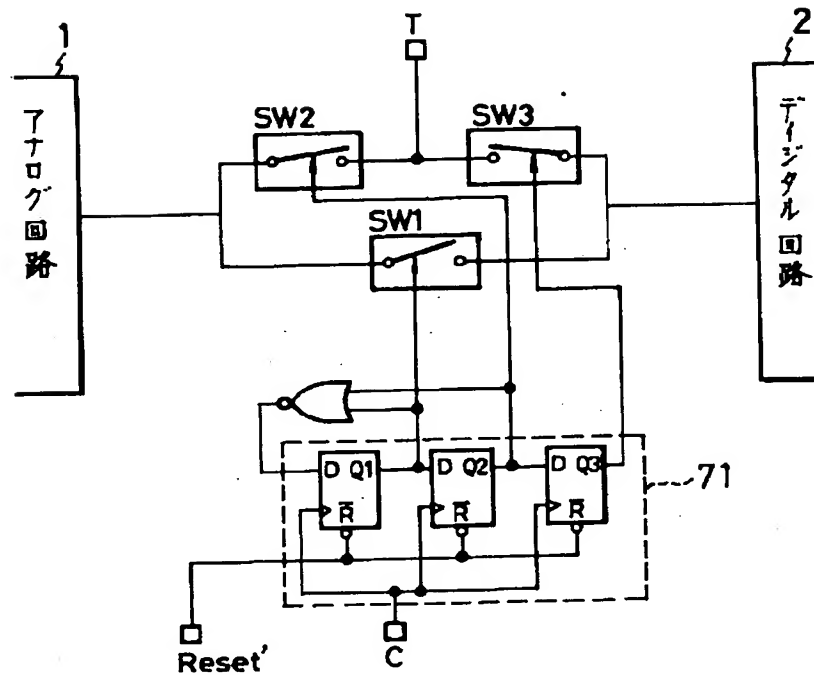
【図 6】

61~68 ; セレクタ
 69,70 ; レベルシフター
 A1, A2 ; ピン
 A-T, D-T ; テストモード端子
 T1~T6 ; テスト端子



【図 7】

71 : 3 段リングカウンタ
 SW1, SW2, SW3 : スイッチ
 C : コントロール端子
 T : テスト端子
 Reset' : リセット端子



フロントページの続き

(51) Int. Cl. 5

H 0 1 L 27/04

27/06

識別記号

庁内整理番号

F I

技術表示箇所

T 8427-4M

U 8427-4M

9170-4M

H 0 1 L 27/06

3 2 1 G